

# TOBIAS COMPUTER-PATENT-PFAFFENROTH

Patentanwalt (Senior Associate) Halbleiter & Elektrotechnik

MUENCHEN, DEUTSCHLAND

+49 89 2345 6781 | t.computer.patent.pfaffenroth@example.de |

linkedin.com/in/tobias-computer-patent-pfaffenroth |

## Profil

Patentanwalt mit Dipl.-Ing. Elektrotechnik (TU Berlin) und Promotion Halbleitertechnik. 7 Jahre Praxis bei Kraus & Weisert Muenchen und Siemens AG IP Erlangen. PAO + EPA Zulassung. Schwerpunkt Power Electronics und 5G/6G-Halbleiter-Patente mit 196 betreuten Patentfamilien und 68 erteilten EP-Patenten. Globale Patent-Praxis in EPO, USPTO, JPO und CNIPA.

## Berufserfahrung

Patentanwalt (Senior Associate) Halbleiter & Elektrotechnik

01/2022 - heute

Kraus & Weisert Patent- und Rechtsanwaelte

Muenchen, Deutschland

Senior Associate im Halbleiter- und Power-Electronics-Team mit eigenstaendigem Mandantenportfolio

- Eigenstaendige Betreuung von 96 angemeldeten Patenten/Jahr fuer Siemens AG, Infineon und 4 Halbleiter-Mid-Caps
- Vertretung in 14 EPO-Einspruchsverfahren mit 76% Erfolgsquote, Streitwert EUR 14,2 Mio.
- ITC Section 337 Patent-Verfahren in 2 Faellen vor US ITC zu GaN-Power-Halbleitern
- Patentanmeldungs-Pipeline US + JP + CN + KR fuer 18 SEP-Erfindungen mit ETSI-Erklaerung
- Mandanten-Akquise: 3 neue Halbleiter-Mid-Caps mit kumuliertem Jahresvolumen EUR 1,2 Mio.

Patentanwalt (Associate) Inhouse Halbleiter IP

10/2018 - 12/2021

Siemens AG IP Erlangen

Erlangen, Deutschland

Inhouse-Patentanwalt im Bereich Halbleiter- und Power-Electronics-Patente

- Inhouse-Patentportfolio mit 124 aktiven Patentfamilien aus dem Power-Electronics-Bereich
- Anmeldungs-Pipeline mit 64 Erstanmeldungen pro Jahr ueber 4 externe Kanzleien koordiniert
- Patentpruefungs-Verfahren: 184 Bescheid-Antworten gegeneuber EPO, USPTO, JPO und CNIPA
- Patentbewertungen fuer Siemens-Smart-Infrastructure-Spinoff, Portfolio-Wert EUR 124 Mio.
- Inventor-Schulung fuer 124 Halbleiter-Ingenieure mit Patent-Tiefen-Workshops

## Ausbildung

Dr.-Ing.

Technische Universitaet Berlin (TU Berlin)

Elektrotechnik (Halbleiter-Power-Elektronik)

Berlin, Deutschland

10/2013 - 09/2016

magna cum laude

Dipl.-Ing. Elektrotechnik

Technische Universitaet Berlin (TU Berlin)

Elektrotechnik

Berlin, Deutschland

10/2007 - 09/2013

1,4

PAO-Ausbildung + Patentanwaltspruefung

FernUni Hagen + Kraus & Weisert

Patentanwaltsausbildung

Muenchen, Deutschland

10/2016 - 09/2018

GPA:

# Projekte

5G-Halbleiter-Patentstrategie

06/2024 - heute

Globale Anmeldungs-Strategie fuer 18 GaN- und SiC-Power-Halbleiter-Erfindungen, ETSI-Erklarungen fuer 6 SEPs koordiniert

ITC Section 337 Patent-Verfahren

01/2023 - 12/2023

Mitwirkung in 2 ITC Section 337 Untersuchungen vor US ITC zu GaN-Power-Halbleitern, koordinierte Praxis mit Boston-Co-Counsel

# Fähigkeiten

Halbleiter-Patente + Power Electronics IP • Elektrotechnik-Anspruchsformulierung •

EPO + USPTO + JPO + CNIPA Praxis • Patbase + PatSnap + Cipher Analytics • Patent Drafting Patmaker •

ITC Section 337 Untersuchungen IP • Standard Essential Patents 5G/6G • Patentportfolio-Bewertung

# Zertifikate

Patentanwaltspruefung (PAO) - Zugelassen vor DPMA + Bundespatentgericht

09/2018

European Patent Attorney EPA - Vertretungsberechtigt vor EPO

06/2020

Standard Essential Patents (SEP) + FRAND-Lizenzkurse (MIPLC)

11/2022

ITC Section 337 Verfahrensrecht (US-Co-Counsel-Schulung)

03/2024

FICPI Mitgliedschaft

11/2024

# Sprachen

Deutsch

Englisch

Franzoesisch

Muttersprache

C2

B2

Mandarin

B2

# Stärken

**Halbleiter-Tiefenkompetenz**

Promotion Halbleitertechnik (TU Berlin) ermoeglicht direkte technische Diskussion mit GaN/SiC-Erfindern bei Siemens und Infineon

**Globale Patent-Praxis**

Anmeldungs-Pipeline mit kombinierter EP/US/JP/CN/KR-Strategie, 9 Jurisdiktionen aktiv betreut

**SEP-Strategie 5G/6G**

ETSI-Erklarungs-Verfahren fuer 18 SEPs koordiniert, Praxis-Leitfaden fuer Mandanten geschrieben