



Renate Maier

Signalintegrität Ingenieur

renate.maier@example.de +49 89 6512 8970

München, Deutschland

linkedin.com/in/renatemaier

PROFIL

Signalintegrität Ingenieurin (Dr.-Ing. Halbleiterelektronik, TU München) mit 13 Jahren Erfahrung in High-Speed-Channel-Design bei Infineon und NXP Semiconductors Hamburg. Fokus auf 112G PAM4, DDR5 und PCIe Gen5/6 Signoff mit Ansys HFSS, Slwave und Cadence Sigrity. TÜV-zertifizierte EMV-Ingenieurin.

BERUFSERFAHRUNG

Senior Signal Integrity Engineer 08/2018 - heute

Infineon Technologies AG Neubiberg, Deutschland

Senior SI-Ingenieurin für Automotive-Server- und Edge-Boards

- 112G PAM4 Signoff für 6 ASIC-Boards in Ansys HFSS und Cadence Sigrity, Insertion-Loss-Budget mit 2,1 dB Reserve
- DDR5-6400 Bring-up für 4 Plattform-Boards, 0 Margin-Issues nach 280h Stress-Test
- Stack-up- und Materialauswahl für 18-lagige HDI-Boards mit Megtron 8 und EM-528
- Eigenes Python-Tool zum automatischen Sweep der PCB-Routing-Topologien (78 Permutationen je Lauf)
- Mentoring von 5 SI-Junior-Ingenieuren, 3 inzwischen Lead-SI mit eigenen Plattform-Boards

Signal Integrity Engineer 10/2013 - 07/2018

NXP Semiconductors Hamburg Hamburg, Deutschland

SI-Ingenieurin für Automotive-Gateway-SoCs

- PCIe Gen3/Gen4 Channel-Design für 5 Domain-Controller-Plattformen, BER 1e-15 erreicht
- Charakterisierung von 24 PCB-Materialien (Dk, Df, RaR) im VNA bis 40 GHz, interne Datenbank aufgebaut
- Schulung von 18 Layout-Ingenieuren in HFSS-Workflows, durchschnittliche Erst-Pass-Quote auf 92% gesteigert

AUSBILDUNG

Dr.-Ing. Elektrotechnik 10/2009 - 09/2013

Technische Universität München (TUM) München, Deutschland

Halbleiterelektronik summa cum laude

M.Sc. Halbleiterelektronik 10/2007 - 09/2009

Technische Universität München (TUM) München, Deutschland

Halbleiterelektronik GPA: 1,2

PROJEKTE

Automatisierter SI-Signoff für Infineon 01/2023 - 12/2024

Python-basierte Pipeline auf HFSS, Slwave und Sigrity, Signoff-Zeit pro Channel von 6 Tagen auf 16 Stunden reduziert

FÄHIGKEITEN

Ansys HFSS / Slwave

Cadence Sigrity (PowerSI, SystemSI)

Cadence Allegro

Keysight ADS

Polar Si9000 / Multek

Stencil-/Stack-up-Auslegung

Python / MATLAB

Cisco TDR / VNA Messtechnik

ZERTIFIKATE

TÜV-zertifizierte EMV-Ingenieurin

05/2024

Altium Designer Professional

11/2022

Mentor Graphics Certified (HyperLynx SI/PI)

07/2020

VDE Vollmitglied (Bezirksverein Südbayern)

03/2016

SPRACHEN

Deutsch Muttersprache

Englisch C2

Mandarin B1

STÄRKEN

Mess-Simulation-Korrelation

Erreiche regelmäßig Mess-Simulationen-Korrelation 1 dB Abweichung bis 40 GHz, indem ich Materialdaten vor jedem Tape-out neu charakterisiere

Klare Trade-off-Argumente

Mache Loss-, Crosstalk- und Cost-Trade-offs in 1-Seiten-Memos für Layout-Teams verständlich, ohne Tiefe zu verlieren